

E5025

MENU

SEARCH

INDEX

DETAIL

NEXT

1 / 3

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-063614

(43)Date of publication of application : 06.03.1998

(51)Int.Cl. G06F 13/362  
G06F 15/16

(21)Application number : 08-214436

(71)Applicant : FUJI ELECTRIC CO LTD  
FUJI FACOM CORP

(22)Date of filing : 14.08.1996

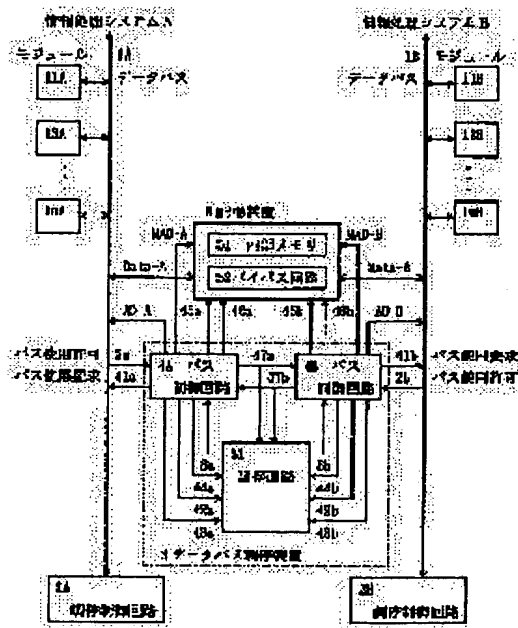
(72)Inventor : AKAHA MASASHI  
TAKATANI MATSUHIKO  
HOSHINO AKIRA

## (54) DATA COMMUNICATION CONTROL DEVICE BETWEEN INFORMATION PROCESSING SYSTEMS

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a data communication control device between plural information processing systems which can reduce the influence of transfer speed even when much data are simultaneously transferred or a data bus is congested.

**SOLUTION:** The control device is provided with a storage device 5 for temporarily storing transmission data at the time of executing data communication between systems A, B and a data bus arbitration device 3 for controlling the data communication. The device 3 is provided with bus control circuits 4A, 4B for receiving bus control signals from data buses 1A, 1B, outputting read/write control signals 43a, 43b to the storage device 5 and controlling data communication between both the systems A, B and an arbitration circuit 3-1 for receiving corresponding bus busy signals 42a, 42b, corresponding bus read/write permission signals 43a, 43b from the data buses 1A, 1B and a transfer end signal (44a) from one bus control circuit (4A) and transmitting a transfer permission signal (3b) to the other bus control circuit (4B) and constituted so as to apply the signal (3b) to the other bus control circuit (4B) when one bus control circuit (4A) establishes bus using right.



## LEGAL STATUS

[Date of request for examination] 25.12.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other]

E5025

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-63614

(43)公開日 平成10年(1998) 3月6日

(51)Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 13/362	5 1 0		G 0 6 F 13/362	5 1 0 D
15/16	3 6 0		15/16	3 6 0 R

審査請求 未請求 請求項の数3 O L (全 12 頁)

(21)出願番号 特願平8-214436

(22)出願日 平成8年(1996) 8月14日

(71)出願人 000005234

富士電機株式会社

神奈川県川崎市川崎区田辺新田1番1号

(71)出願人 000237156

富士ファコム制御株式会社

東京都日野市富士町1番地

(72)発明者 赤羽 正志

東京都日野市富士町1番地 富士ファコム  
制御株式会社内

(72)発明者 高谷 松彦

東京都日野市富士町1番地 富士ファコム  
制御株式会社内

(74)代理人 弁理士 山口 巖

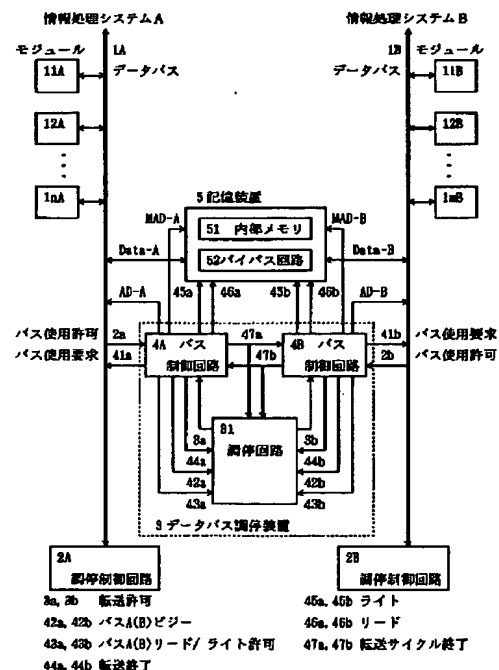
最終頁に続く

(54)【発明の名称】 情報処理システム間のデータ交信制御装置

(57)【要約】

【課題】多量のデータを一度に送るときやデータバスが混雑しているときも転送速度の影響が少ない情報処理システム間のデータ交信制御装置を提供する。

【解決手段】システムA,B間のデータ交信を行うとき送信データを一時記憶する記憶装置5と、このデータ交信を制御するデータバス調停装置3と、を備え、データバス調停装置3は、データバス1A,1Bからバス制御信号を授受し記憶装置5にリード・ライト制御信号43a,43bを出力し両システムA,B間のデータ交信を制御するバス制御回路4A,4Bと、データバス1A,1Bから当該バスビジー信号42a,42bと当該バスリード/ライト許可信号43a,43bと一方のバス制御回路(4A)から転送終了信号(44a)とを受信し他方のバス制御回路(4B)に転送許可信号(3b)を送信する調停回路31と、を備え、一方のバス制御回路(4A)がバス使用权を確立すると調停回路31は他のバス制御回路(4B)に転送許可信号(3b)を与える。



## 【特許請求の範囲】

【請求項1】複数のモジュールが接続され互に情報を交信する共通の伝送路をなすデータバスと、このデータバスを介してモジュール間の交信をするときデータバス使用権を制御する調停制御回路と、を備えてなる2つの情報処理システム（以下、システムと略称する）間のデータ交信を制御するデータ交信制御装置において、両システムのデータバス間に接続され、両システム間のデータ交信を行うとき送信データを一時記憶する記憶装置と、両システム間のデータ交信を制御するデータバス調停装置と、を備え、データバス調停装置は、それぞれのデータバスに接続し、このデータバスからバス制御信号を授受し、記憶装置にリード・ライト制御信号を出力し、両システム間のデータ交信を制御する2つのバス制御回路と、バス制御回路から当該バスビジー信号と、当該バスリード／ライト許可信号と、一方のバス制御回路から転送終了信号と、を受信し、他方のバス制御回路に転送許可信号を送信する調停回路と、を有し、一方のバス制御回路が当該調停制御回路にバス使用要求をし、当該調停制御回路からバス使用許可を受けてデータバス使用権を確立すると同時に、調停回路は、他方のバス制御回路に転送許可を与える、ことを特徴とする情報処理システム間のデータ交信制御装置。

【請求項2】請求項1に記載の情報処理システム間のデータ交信制御装置において、両システム間のデータ交信を行うとき、記憶装置は、両データバス間のデータ転送で使用する内部メモリのアドレスが一致したとき内部メモリを介さずに直接データを交換するバイパス回路を備える、ことを特徴とする情報処理システム間のデータ交信制御装置。

【請求項3】請求項1または請求項2に記載の情報処理システム間のデータ交信制御装置において、バイパス回路は、内部メモリ用アドレスの入力側と、出力側と、の両アドレスを比較するアドレスコンパレータと、このアドレスコンパレータの出力と、ソース側ビジー信号と、デスティネーション側ビジー信号と、の論理積をとり、バイパス信号を出力する論理素子と、両データバスに接続され、論理素子からのバイパス信号によってデータ路を切り換える2つのセレクトと、この両セレクトに接続され、バイパス信号有効のとき、データバスからの送信データをラッチするデータラッチ回路と、を備える、ことを特徴とする情報処理システム間のデータ交信制御装置。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、マイクロプロセッサおよびメモリを備える2つの情報処理システム間のデータ転送に係わるデータ交信制御装置に関する。

【0002】

【従来の技術】図5は従来技術による情報処理システム間のデータ交信制御装置によるデータ転送を説明する基本構成図、図6、図7は従来技術によるデータ転送方法を説明する概念図およびタイムチャートである。説明の簡便化のため、以下の部材番号の取り方を先に説明する。2つの情報処理システムA、Bのハードウェアは大文字の添え字で区分をし、信号は小文字の添え字a、bで区分を行う。また、情報処理システムは、特に疑義が無ければ代表例として情報処理システムAを取り上げ、対応する情報処理システムBは括弧付きの添え字で関連を示す。

【0003】先に、従来技術によるデータバス1Aとデータバス1Bとのデータ交換の概要を図6、図7を用いて説明する。図6の(A)、図7の(A)において、上から下にデータバス1A、記憶装置5の内部メモリ51、データバス1Bのデータ転送処理を示し、横軸方向に時間軸をとり、左側のブロックにデータバス1Aからデータバス1Bへのデータ交換を、右側のブロックにデータバス1Bからデータバス1Aへのデータ交換を示す。

【0004】データバス1Aとデータバス1B間の調停は、図6の(A)に図示される様に、データバス1Aと内部メモリ51とのデータ転送が完結してから内部メモリ51とデータバス1Bとのデータ転送を行う方法や、図7の(A)に図示される様に、データバス1Aと内部メモリ51とのデータ転送が1つ終了した時点（内部メモリ51に1つ目のデータが書き込まれた時点）で調停回路61がバス制御回路4Bへ転送許可信号3bを出力し、内部メモリ51とデータバス1Bとのデータ転送を行う方法が使われていた。

【0005】図6の(A)の方法と図7の(A)の方法とを比較した場合、図6の(A)の方法では、一方のデータを内部メモリ51に複数取り込んだ後、転送終了信号44aを調停回路61に対して出力し他方の転送を促すが、図7の(A)の方法では、一方のデータの内1つのデータを内部メモリ51に取り込んだ後、転送終了信号44aを調停回路61に対して出力し他方の転送を促すという点が異なる。

【0006】次に、図5において、情報処理システムA（B）は、複数のモジュール11A～1nA（11B～1mB）が接続され互に情報を交信する共通の伝送路をなすデータバス1A(1B)と、このデータバス1A(1B)を介してモジュール間、例えば11Aと12A、(12Bと1mB)の交信をするときのデータバス使用権を制御する調停制御回路2A(2B)と、を備えて構成される。そして、この2つの情報処理システム（以下、システムと略称する）は、システムA、B間のデータ交信を行うため、両システムA、Bのデータバス1A、1B間に接続され送信データを一時記憶する内部メモ

リ51を備える記憶装置5と、両システムA、B間のデータ交信を制御するデータバス調停装置6と、を備えて2つのシステム間のデータ交信手段が構成される。

【0007】このデータバス調停装置6は、それぞれのデータバス1A(1B)に接続され、このデータバス1A(1B)からバス制御信号(バス使用要求41a(41b)およびバス使用許可2a(2b))および相互に転送サイクル終了信号47a(47b)を授受し、記憶装置5の内部メモリ51にリード制御信号46a(46b)およびライト制御信号45a(45b)を出力し、両システムA、B間のデータ交信を制御するバス制御回路4A(4B)と、一方のバス制御回路(例えば、4A)から転送終了信号(44a)を受信し、他方のバス制御回路(4B)に転送許可信号(3b)を送信する調停回路61と、を備えて構成される。

【0008】かかる構成において、図6の(A)の方法でデータバス1Aからデータバス1Bへデータ転送を行う場合を図5、図6の(B)を併用して説明する。尚、図6の(B)、図7の(B)において、横軸方向に時間軸をとり、時間は2段に書かれたクロック番号で示す。また縦軸方向に各信号を示し、ソースは送信元を意味し、デスティネーションは宛先を意味する。例えば、データがデータバス1Aからデータバス1Bに送信されるとき、データバス1Aがソースバスであり、データバス1Bがデスティネーションバスである。

【0009】図5、図6の(B)において、情報処理システム内でシステムA、B間のデータ交信要求(システムAからシステムBへの転送要求)が発生すると、調停回路61はバス制御回路4Aに対して転送許可信号3aを出力し、バス制御回路4Aがバス使用要求信号41a/S-BRをクロックCLK 02で調停制御回路2Aに出力する。バス制御回路4Aは、調停制御回路2Aからデータバス1Aのバス使用許可信号2a/S-BGをクロックCLK 03で受信する。このバス使用許可信号2a/S-BGを受けてバス制御回路4Aは、データバス1Aに出力するアドレスAD-Aと図示省略されたリード信号によってシステムAからデータバス1A上に呼び出されるデータData-Aを、ライト信号45aおよび内部メモリ用アドレスMAD-Aを用いて内部メモリ51に一時記憶する。

【0010】図6の(B)では、クロックCLK 04,09で入力データIN-Data-A,Bが呼び出され、クロックCLK 08,13で内部メモリ51に一時記憶される。図示例は、2バイトのデータ転送を行う場合を示し、クロックCLK 14でバス制御回路4Aはソース転送終了44a/S-TEを出力する。データバス1Aの転送データIN-Dataの転送が終了してデータバス1Aの転送終了信号44a/S-TEが有効になると、調停回路61はバス制御回路4Bに対して転送許可信号3bを出力する。バス制御回路4Bはバス使用要求信号41b/D-BRをクロックCLK 15で調停制御回路2Bに対して出力し、調停制御回路2Bがデータバス1Bの使用許可信号2b/D-BGを出力する。バス制御回路4Bは、バス使用許可信号2b/D-BGを

クロックCLK 17で受け、アドレスMAD-Bとリード46bを内部メモリ51に出力し、内部メモリ51のデータData-B/OUT-Data-A,BをクロックCLK 19,24でデータバス1Bに出力する。以上が図6の(A)で図示する転送データ(1)の処理手順である。

【0011】続いて、転送データ(2)を転送する必要があるときは、データバス1Bのデータ転送が終了した時点クロックCLK 29でバス制御回路4Bは転送終了信号44b/D-TEを調停回路61に対して出力し、点線で図示されるクロックCLK 30で調停回路61はバス制御回路4Aに対して転送許可信号3aを出力して、以下クロックCLK 02以降で説明したと同様の処理手順が行われる。以降、図示省略されているが、さらに次の転送データ(3)…でデータ転送を行うときは上記の繰り返しを行う。同様に、データバス1Bからデータバス1Aへデータ転送を行う場合は、ハード側は上記説明の添え文字A,B,a,bを入れ換えた形でデータ転送が行われる。

【0012】次に、図7の(A)の方法でデータバス1Aからデータバス1Bへデータ転送を行う場合を図5、図7の(B)を併用して説明する。情報処理システム内でシステムA、B間にデータ交信要求(システムAからシステムBへの転送要求)が発生すると、調停回路61はバス制御回路4Aに対して転送許可信号3a/S-TGをクロックCLK01で出力し、バス制御回路4Aがバス使用要求信号41a/S-BRをクロックCLK 02で調停制御回路2Aに出力する。調停制御回路2Aがデータバス1Aのバス使用許可信号2a/S-BGをクロックCLK 03で出力したとき、このバス使用許可信号2a/S-BGを受けてバス制御回路4Aは、データバス1Aに出力するアドレスAD-Aと図示省略されたリード信号によってシステムAからデータバス1A上にデータData-A/IN-Data-A,BをクロックCLK 04,09で呼び出し、ライト信号45aおよび内部メモリ用アドレスMAD-Aを用いて内部メモリ51にクロックCLK 08,13で一時的記憶する。ここで、内部メモリ51にデータバス1AのデータData-A/IN-Data-Aを1つ(このデータ長は、システムで予め定められ、例えば1バイト長、1ワード長、あるいはダブルワード長がある)取り込んだ後、バス制御回路4Aは直ちに転送サイクル終了信号47a/S-TCYEをクロックCLK 09で調停回路61に対して出力し、調停回路61はバス制御回路4Bに対して転送許可信号3b/D-TGをクロックCLK 10で出力する。

【0013】バス制御回路4Bはバス使用要求信号41b/D-BRをクロックCLK 11で調停制御回路2Bに対して出力する。調停制御回路2Bがデータバス1Bの使用許可信号2b/D-BGをクロックCLK 13で出力したとき、バス制御回路4Bは、バス使用許可信号2b/D-BGを受け、アドレスMAD-Bとリード46bとを内部メモリ51に出力し、内部メモリ51のデータData-B/OUT-Data-A,Bをデータバス1B上にクロックCLK 15,20で出力する。以上が図7の(A)で図示する転送データ(1)である。転送量などにより、さらに転送データ(2)…で図示するデータ転送を行うときは、内

10

20

30

40

50

部メモリ51からデータバス1Aの転送データ(1)Data-B/OUT-Dataを1つ(OUT-Data-A)取り込んだ後、バス制御回路4Bは直ちに転送サイクル終了信号47b/D-TCYEをクロックCLK 20でバス制御回路4Aに送り、バス制御回路4Aは、先にクロックCLK 01で述べたと同様の手順で転送サイクル(2)の処理に移行する。さらに次のデータ転送の実行は上記の繰り返しを行う。

【0014】同様に、データバス1Bからデータバス1Aへデータ転送を行う場合は、上記説明の添え文字A,B,a,bを入れ換えた形でデータ転送が行われる。

【0015】

【発明が解決しようとする課題】従来技術による情報処理システム間のデータ交信制御装置では、システム間のデータ転送を行う場合、一方のデータ転送が完結しないと、もう一方のデータ転送を始められなかったり、あるいは、転送サイクルが1つ終わらなければ相手側に転送許可信号を出力できないなどの制限から、多量のデータを一度に送ろうとした場合や、データバスが混雑している場合に転送速度が遅くなる。

【0016】本発明は上記の点にかんがみてなされたものであり、その目的は前記した課題を解決して、多量のデータを一度に送るときやデータバスが混雑しているときでも、転送速度に与える影響を少なくする情報処理システム間のデータ交信制御装置を提供することにある。

【0017】

【課題を解決するための手段】上記目的を達成するために、本発明においては、複数のモジュールが接続され互に情報を交信する共通の伝送路をなすデータバスとこのデータバスを介してモジュール間の交信をするときデータバス使用権を制御する調停制御回路とを備えてなる2つの情報処理システム間のデータ交信を制御するデータ交信制御装置において、両システムのデータバス間に接続され両システム間のデータ交信を行うとき送信データを一時記憶する記憶装置と、両システム間のデータ交信を制御するデータバス調停装置と、を備え、データバス調停装置は、それぞれのデータバスに接続し、このデータバスからバス制御信号を授受し、記憶装置にリード・ライト制御信号を出力し、両システム間のデータ交信を制御する2つのバス制御回路と、バス制御回路から当該バスビジー信号と、当該バスリード／ライト許可信号と、一方のバス制御回路から転送終了信号と、を受信し、他方のバス制御回路に転送許可信号を送信する調停回路と、を有するものとする。

【0018】上記構成により、一方のバス制御回路が当該調停制御回路にバス使用要求をし、当該調停制御回路からバス使用許可を受けてバス使用権を確立すると同時に、調停回路は、他方のバス制御回路に転送許可を与えることができる。また、相手のバス制御回路が相手方の転送サイクル終了信号を受けて、転送開始する手段を備えることができる。この結果、データを送るソース側と

データを受け取るデスティネーション側が同じ転送開始のタイミングで動作できる様にデータバス調停回路を構成することができる。

【0019】また、両システム間のデータ交信を行うとき、記憶装置は、両データバス間のデータ転送で使用する内部メモリのアドレスが一致したとき内部メモリを介さずに直接データを交換するバイパス回路を備えるものとする。上記構成により、内部メモリアドレスが一致するときソース側のデータをデスティネーション側へ直接出力することができる。

【0020】また、バイパス回路は、内部メモリ用アドレスの入力側と、出力側と、の両アドレスを比較するアドレスコンパレータと、このアドレスコンパレータの出力とソース側ビジー信号とデスティネーション側ビジー信号との論理積をとりバイパス信号を出力する論理素子と、両データバスに接続され論理素子からのバイパス信号によってデータ路を切り換える2つのセレクトと、この両セレクトに接続され、バイパス信号有効のとき、データバスからの送信データをラッチするデータラッチ回路と、を備える構成することができる。

【0021】

【発明の実施の形態】図1は本発明によるデータ交信制御装置の基本構成図およびこのデータ交信制御装置による2つの情報処理システム間のデータ転送を説明する基本構成図、図2は一実施例のデータ転送方法を説明する概念図、図3は調停動作を説明するタイムチャート、図4はバイパス回路の構成図であり、図5、図6、図7に対応する同一部材には同じ符号が付してある。

【0022】図1において、情報処理システムは、従来技術と同様、複数のモジュール11A~1nA(11B~1mB)が接続され互に情報を交信する共通の伝送路をなすデータバス1A(1B)と、このデータバス1A(1B)を介してモジュール11A~1nA(11B~1mB)間、例えば11Aと12A、(12Bと1mB)間、の交信をするときのデータバス使用権を制御する調停制御回路2A(2B)と、を備えて構成される。

【0023】そして、この両システムA、Bは、両システムA、Bのデータバス1A、1B間に接続され、両システムA、B間のデータ交信を行うとき送信データを一時記憶する記憶装置5と、両システムA、B間のデータ交信を制御するデータバス調停装置3と、を備えて2つのシステムA、B間のデータ交信手段が構成される。このデータバス調停装置3は、それぞれのデータバス1A(1B)に接続され、アドレスAD-A(AD-B)と、データバス1A(1B)からバス制御信号(例えば、転送要求TRQ、バス使用要求41a(41b)、バス使用許可2a(2b))と、相互に転送サイクル終了信号47a(47b)を授受し、記憶装置5の内部メモリ51にアドレスMAD-A(MAD-B)、リード制御信号46a(46b)およびライト制御信号45a(45b)を出力し、両システムA、B間のデータ交信を制御する2つのバス制御回路4A(4B)

と、バス制御回路4A、4Bから当該バスビジー信号42a、42

10

20

30

40

50

b と、当該バスリード／ライト許可信号43a, 43b と、転送終了信号44a, 44b とを受信し、一方のバス制御回路（例えば4A）から転送終了信号（44a）を受信し、他方のバス制御回路（4B）に転送許可信号（3b）を送信する調停回路61と、を備えて構成される。

【0024】かかる構成において、今、システムAのモジュール（例えば11A）からシステムBへの転送要求TRQが発せられた場合を説明する。この転送要求TRQは調停回路31に伝達され、調停回路31からバス制御回路4A, 4Bに制御信号がわたり調停制御が行われる。即ち、調停回路31からバス制御回路4AにシステムA側のデータバス1Aのデータバス使用権確保（転送許可3a）が指示され、バス制御回路4Aが当該調停制御回路2Aにバス使用要求信号41aを出力し、当該調停制御回路2Aからバス使用許可信号2aを受けてデータバス使用権を確立する。バス制御回路4Aは、このバス使用許可信号2aを受け、一方、アドレスAD-Aおよび図示省略されたリード信号をシステムAに送り、システムAからデータバス1A上にデータData-Aを呼び出し、他方、バスビジー信号42aと、バスリード許可信号43aを調停回路31に対して出力し、続いてライト信号45aを内部メモリ51に出力し、アドレスMAD-Aおよびライト信号45aによって、このデータData-Aを内部メモリ51に一時記憶する。

【0025】調停回路31は、バスリード許可信号43aを受けてバス制御回路4Bのアドレスや転送数などの転送量を確認し、転送が必要であれば、バス制御回路4Bに対して転送許可信号3bを出力する。バス制御回路4Bはこの転送許可信号3bを受けてバス使用要求信号41bを出力する。バス調停制御回路2Bがバス使用許可信号2bを出力したらバス制御回路4Bはバスビジー信号42bとバスライト許可信号43bを調停回路31に対して出力する。調停回路31はバスライト許可信号43bを受けてバス制御回路4Aのアドレスや転送数などの転送量を確認し、転送が必要であれば、バス制御回路4Aに対して転送許可信号3aを出力する。以降さらに転送が必要な場合は、上記の繰り返しを行う。また、転送方向が逆の場合は、上記の逆の動作を行う。

【0026】図6に図示する従来技術では、ソース側の一連の転送データが内部メモリ51に書き込みが終了してから、デスティネーション側のデータバス使用権を確保するための一連の手順が処理され、デスティネーション側のデータバスにデータが呼び出される。また、図7に図示する従来技術では、ソース側のデータが1つ内部メモリ51に書き込まれてから、デスティネーション側のデータバス使用権を確保するための一連の手順が処理され、デスティネーション側のデータバスにデータが呼び出される。このとき、デスティネーション側のデータバス使用権が確保されるとソース側に転送許可信号を出力し、以下この繰り返しにより一連の転送データがデータ転送することができる。これに対して、本発明によれ

ば、ソース側のデータバス使用権を確保と同時に、デスティネーション側のデータバス使用権を確保するための一連の手順が処理されるので、ソース側モジュールからデータ転送要求が発生し、デスティネーション側にデータが呼び出されるまでの時間を短縮することができる。

【0027】また、システムA, B間のデータ交信を行うとき、記憶装置5は、両データバス1A, 1B間のデータ転送で使用する内部メモリ51のアドレスが一致したとき内部メモリ51を介さずに直接データ交換するバイパス回路52を備えて構成される。かかる構成により、記憶装置5にバイパス回路52を備える情報処理システム間のデータ交信では、システム間のデータ交信動作中に、両バスA, B制御回路4A, 4Bのバスビジー信号42a, 42bが有効で、且つ、内部メモリ51へのアドレスが一致したとき、内部メモリ51への書き込み・読み出しを特に行わずに、バイパス回路52を経由してデータを出力する。このバイパス回路52を用いることにより、書き込みと読み出し制御を同時刻に行うことができる。この結果、従来技術では必要であった内部メモリ51へ書き込み時間と、内部メモリ51から読み出す時間をおよそ半分に短縮することができる。

【0028】図2は上述の本発明のデータ転送方法を説明する概念図である。図2において、左半分にデータバス1Aからデータバス1Bへの転送を、右半分にデータバス1Bからデータバス1Aへの転送を図示する。今、データバス1Aからデータバス1Bへの転送を説明する。システムAのモジュールからシステムBへの転送要求TRQが発せられると、バス制御回路4AにシステムA側のデータバス1Aのデータバス使用権確保が指示され、当該調停制御回路2Aからバス使用許可信号2aを受けてデータバス使用権を確立する。バス制御回路4Aは、このバス使用許可信号2aを受け、一方は、ライト信号45aを内部メモリ51に出力し、(1)で図示されるデータバス1Aのデータを内部メモリ51へ一時記憶する。他方、バス制御回路4Aでデータバス使用権が確立すると同時に、調停回路31は、他方のバス制御回路4Bに転送許可信号3bを与え、バス制御回路4BにシステムB側のデータバス1Bのデータバス使用権確保が指示される（データバス1Aからデータバス1Bへの下方の矢印）。

【0029】次に、バス制御回路4Bが当該調停制御回路2Bにバス使用要求信号41bを出力し、当該調停制御回路2Bからバス使用許可信号2bを受けてデータバス使用権を確立すると、一方は、バス制御回路4Bは、このバス使用許可信号2bを受け、リード信号46bを内部メモリ51に出力し、内部メモリ51に一時記憶されたデータをデータバス1Bに読み出す（データバス1Bで(1)で図示される時間域）動作を実行する。他方、バス制御回路4Bは、このバス使用許可信号2bを受けバス制御回路4Aに転送サイクル終了47bを通知する（データバス1Bから斜め右上の矢印）。バス制御回路4Aは先に述べたデータ転送(1)が終

了すると、直ちに次のデータ転送(2)に移行する。以下、同様の手順が繰り返される。

【0030】

【実施例1】以下、図1に図示される各構成要素の役割を以下に説明する。

#### (1) 調停制御回路2A(2B)

以下、説明を簡明化するため、情報処理システムA側を中心に説明し、情報処理システムB側は情報処理システムAの対応する位置に部材番号を括弧付きで示す。調停制御回路2A(2B)は、各データバス1A(1B)に接続されるモジュール(11A~1nA, (11B~1mB)) およびバス制御回路4A(4B)からのバス使用要求を受け、予め定められたバス割当選定基準に従ってバスマスタを決定する。バスマスタ希望者は調停制御回路2A(2B)にバス使用要求を出力し、調停制御回路2A(2B)はバスマスタ希望者へバス使用許可を与えてバスマスタを決定する。データバス1Aおよびデータバス1B上にはバス使用権を要求するモジュール(バスマスタ希望者) 11A ~ 1nA, 4Aおよび(11B~1mB, 4B) が複数存在するので、その中からバス使用者(バスマスタ)を1つだけ決定する役割を担う。

#### (2) バス制御回路4A

バス制御回路4Aは、調停回路31から転送許可信号3aを受けて調停制御回路2Aに対してバス使用要求信号41aを出力し、調停制御回路2Aからバス使用許可信号2aを受けたら、内部メモリ51からデータを読み出してデータバス1A上のスレーブ(例えば、12A)に対してデータを送ったり、データバス1A上のスレーブ(例えば、12A)からデータを読み出して内部メモリ51にデータを書き込んだりする。転送サイクルの終了時には、転送サイクル終了信号47aをバス制御回路4Bに対して出力する。バス制御回路4Aの転送が終了したときに、まだバス制御回路4Bが動作中のときは、データバス1Bの転送サイクル終了信号47bが出力されるまで、転送サイクル終了信号47aを続けて出力する。

#### (3) バス制御回路4B

バス制御回路4Bは、調停回路31から転送許可信号3bを受けて調停制御回路2Bに対してバス使用要求信号41bを出力し、調停制御回路2Bからバス使用許可信号2bを受けたら、内部メモリ51からデータを読み出してデータバス1B上のスレーブ(例えば、12B)に対してデータを送ったり、データバス1B上のスレーブ(例えば、12B)からデータを読み出して内部メモリ51にデータを書き込んだりする。転送サイクルの終了時には、転送サイクル終了信号47bをバス制御回路4Aに対して出力する。バス制御回路4Bの転送が終了したときに、まだバス制御回路4Aが動作中のときは、データバス1Aの転送サイクル終了信号47aが出力されるまで、転送サイクル終了信号47bを続けて出力する。

#### (5) 内部メモリ51

データバス1Aのデータあるいはデータバス1Bのデータを

相手側のデータバスに送るために一時記憶しておく記憶回路である。バス制御回路4Aおよびバス制御回路4Bから書き込みアドレス(ソースアドレス)とライト信号、および読み出しアドレス(デスティネーションアドレス)とリード信号、を受けて書き込みおよび読み出しを行う。

#### (6) バイパス回路52

バス制御回路4Aおよびバス制御回路4Bが共にビジーであり、かつ、バス制御回路4Aおよびバス制御回路4Bから内部メモリ51に対して出力されている書き込みアドレスと読み出しアドレスが一致したときに作動する回路であり、このバイパス回路52が作動中は、データバス1Aのデータとデータバス1Bのデータとが同じ値になる。

#### (7) 調停回路31

バス制御回路4Aおよびバス制御回路4Bにバス転送許可3a, 3bを与え、バス制御回路4Aおよびバス制御回路4Bから転送終了信号44a(44b)およびバスA(B)ビジー信号42a(42b)、バスA(B)リード許可信号43a(43b)、バスB(A)ライト許可信号43b(43a)を受け、相互のデータバス1A, 1Bの調停を行う。例えば、データバス1Aからデータバス1Bにデータ交換を行う場合に、バス制御回路4AからバスAリード許可43aが出力されたら、データバス1Bの転送量およびバスBビジー信号42bをチェックした後、バス制御回路4Bにバス転送許可3bを出力する。バス制御回路4Bからライト許可45bが出力されたら、データバス1Aの転送量およびバスAビジー信号42aをチェックした後、バス制御回路4Aにバス転送許可3aを与えデータ交換を行う。指定された転送数または転送アドレスのデータが終了するまで、相互データバスの調停を繰り返す。

【0031】

【実施例2】図3により一実施例の調停動作を示すタイムチャートを説明する。図3は、横軸方向に時間軸をとり、時間は2段に書かれたクロック番号で示す。縦軸方向に各信号を示し、上段からクロックCLK、転送要求信号TRQ、ライト許可WG、ソース側(S-の接頭記号を付す)の各信号；即ち転送許可S-TG、バス使用要求S-BR、バス使用許可S-BG、ビジーS-BSY、転送サイクル開始S-TCYS、転送サイクル終了S-TCYE、内部メモリアドレスS-AD、入力データIN-data、メモリ書込タイミング、バイパスデータbydata、バイパスbypass、リード許可RG、伝送の宛先であるデスティネーション側(D-の接頭記号を付す)の各信号；即ち転送許可D-TG、バス使用要求D-BR、バス使用許可D-BG、ビジーD-BSY、転送サイクル開始D-TCYS、転送サイクル終了D-TCYE、内部メモリアドレスD-ADおよび出力データOUT-dataを示す。またこのタイムチャートでは、1(ハイレベル)が信号有効を、0(ロウレベル)が信号無効であることを示す。また、図1に図示する基本構成図で2つの情報処理システムA, B間のデータ交信は、一般的には双方向に行われる。従って、以下のタイムチャートの説明では、データ交信の送信元

(ソース側)と宛先(デスティネーション側)との関係で説明するが、説明の簡明化のため、ハードウェアを区分表示する必要があるときは、ソース側をシステムAとし、デスティネーション側をシステムBとして括弧付きで部材番号を示す。

【0032】以下、図1を併用して図3を説明する。

(1) クロック01でバス調停回路に転送要求信号TRQが入力され、ソース側の転送許可信号S-TGが有効であれば、クロック02の立ち上がりでソース側のバス使用要求信号S-BRをソース側の調停制御回路(2A)に出力する。ただし、ソース側の転送許可信号S-TGは回路の初期化時に有効にしてあるものとする。

【0033】(2) クロック02でソース側のバス使用要求信号BRが有効になると、クロック03の立ち上がりでソース側の転送許可信号TGを無効にする。

(3) クロック06で調停制御回路(2A)からソース側のバス使用許可信号S-BGが返ってきたら、クロック07の立ち上がりでソース側のビジー信号S-BSYおよびリード許可信号RGを有効にする。

【0034】(4) クロック07でリード許可信号RGが有効になったら、アドレスや転送数などの転送量を判断し、クロック08の立ち上がりでデスティネーション側の転送許可信号D-TGを出力する。

(5) クロック07でソース側のビジー信号S-BSYが有効になると、クロック08の立ち上がりでソース側のデータ転送サイクル開始信号S-TCYSを有効にする。

【0035】(6) クロック08でデスティネーション側の転送許可信号D-TGが有効になったら、クロック09の立ち上がりでデスティネーション側のバス使用要求信号D-BRをデスティネーション側の調停制御回路(2B)に出力する。

(7) クロック15でデスティネーション側のバス使用許可信号D-BGが返ってきたら、クロック16の立ち上がりでライト許可信号WGを出力する。

【0036】(8) クロック15でデスティネーション側のバス使用許可信号D-BGが返ってきたら、クロック16の立ち上がりでデスティネーション側のビジー信号D-BSYを有効にする。

(9) クロック16でデスティネーション側のビジー信号D-BSYが有効になったら、クロック17の立ち上がりでデスティネーション側のデータ転送サイクル開始信号D-TCYSを有効にする。

【0037】(10) クロック07以降でソース側のビジー信号S-BSYが有効のとき、クロック08、13、18、23で内部メモリ入力側アドレス信号S-MAD(内部メモリ51の書き込みアドレス)を有効にする。

(11) 同様に、クロック16以降でデスティネーション側のビジー信号D-BSYが有効のとき、クロック17、23、28、33で内部メモリ出力側アドレス信号D-MAD(内部メモリ51の読み出しアドレス)を有効にする。

【0038】(12) また、ソース側及びデスティネーション側の各ビジー信号S-BSY、D-BSYがどちらも有効になっているとき、内部メモリの入力側アドレスと出力側アドレス(内部メモリ51の書き込みアドレスS-MADと読み出しアドレスD-MAD)を比較し、各々のアドレス値が違っていたら、バイパス信号bypassを無効にして、内部メモリ入力側アドレスS-MADが示す内部メモリ51の領域に、各クロック09、14、19、24で入力データIN-dataを保存し、内部メモリ出力側アドレスD-MADが示す内部メモリ51の領域から各クロック18、24、29、34でデータOUT-dataを抽出し、データバス(1B)へデータを出力する。

【0039】(13) データ転送サイクルの終了時に、転送サイクル終了信号S-TCYE、D-TCYEを各々のデータバス1A、1Bが出力する。

(14) もし、双方のデータバス1A、1Bのビジー信号S-BSY、D-BSYが有効であるときは、双方の転送サイクル終了信号S-TCYE、D-TCYEが有効になるまで、次の転送サイクル開始信号S-TCYS、D-TCYSを遅らせる。図示例ではクロック21、22がこれに該当する。

【0040】(15) 双方のデータバス1A、1Bの転送サイクル終了信号S-TCYE、D-TCYEが有効になったら次のタイミング(クロック23)で、双方のデータバス1A、1Bの転送サイクル開始信号S-TCYS、D-TCYSを有効にする。

(16) 必要な転送数または転送アドレス迄の転送が終了したら、データバスの使用権を放棄して転送を終了する。ソース側ではクロック28でソースビジーS-BSYを無効とし、また、デスティネーション側ではクロック38でデスティネーションビジーD-BSYを無効としてデータバスの使用権を放棄して転送を終了する。

【0041】(17) ソース側及びデスティネーション側の各ビジー信号S-BSY、D-BSYがどちらも有効になっているとき、内部メモリ入力側アドレスS-MADおよび内部メモリ出力側アドレスD-MADを比較し、一致していたら、バイパス信号bypassを有効にし、バイパス回路52を経由して入力データIN-dataを出力データOUT-dataとして出力する。バイパス回路52はラッチ回路を含み、データ転送サイクルの間およびデータ転送サイクル後において入力データIN-dataを出力する。

【0042】次に、図4によりバイパス回路52を説明する。図4において、バイパス回路52は、両データバス1A、1Bから内部メモリ入力側アドレスS-MADと内部メモリ出力側アドレスD-MADを受信し、この両アドレスS-MAD、D-MADを比較するアドレスコンパレータ53と、このアドレスコンパレータ53の出力と、ソース側ビジー信号S-BSYと、デスティネーション側ビジー信号D-BSYと、の論理積をとり、バイパス信号bypassを出力する論理素子54と、両データバス1A、1Bに接続され、論理素子54からのバイパス信号bypassによってデータ路(51a、51b)、(56a、56b)を切り換える2つのセレクト55A、55Bと、この両セレクト55A、55Bに接続され、バイパス信号bypass有



効のとき、ソース側データバスからの送信データIN-dataをラッチするデータラッチ回路56と、を備えて構成される。

【0043】かかる構成において、ソース側ビジー信号S-BSYとデスティネーション側ビジー信号D-BSYとが共に有効で、データバス1A,1Bから内部メモリ入力側アドレスS-MADと内部メモリ出力側アドレスD-MADが一致したとき、セレクト55A,55Bを切り換えて、内部メモリ51からデータラッチ回路56に切り換えることができる。ソース側及びデスティネーション側の各ビジー信号S-BSY、D-BSYがどちらも有効になっているとき、内部メモリ入力側アドレスS-MADおよび内部メモリ出力側アドレスD-MADを比較し、一致していたら、バイパス信号bypassを有効にし、バイパス回路52を経由して入力データIN-dataを出力データOUT-dataとして出力する。バイパス回路52はラッチ回路を含み、データ転送サイクルの間およびデータ転送サイクル後において入力データIN-dataを出力する。

【0044】本発明のハードウェア構成は、2つの情報処理システムがそれぞれ単独の装置であり、データ交信制御装置が何れかの情報処理システムに内蔵される、あるいは別置されて構成されてもよい。また、規模の小さな装置では、2つの情報処理システムとデータ交信制御装置が一体化された装置で構成されてもよい。

#### 【0045】

【発明の効果】本発明を利用することにより、多量のデータを一度に送るときやデータバスが混雑しているときでも、転送速度に与える影響を少なく、高速にデータ転送ができる情報処理システム間のデータ交信制御装置を提供することができる。

#### 【図面の簡単な説明】

【図1】本発明によるデータ交信制御装置の基本構成図およびこのデータ交信制御装置による2つの情報処理システム間のデータ転送を説明する基本構成図

【図2】一実施例のデータ転送方法を説明する概念図

【図3】調停動作を説明するタイムチャート

【図4】バイパス回路の構成図

【図5】従来技術による情報処理システム間のデータ交信制御装置によるデータ転送を説明する基本構成図

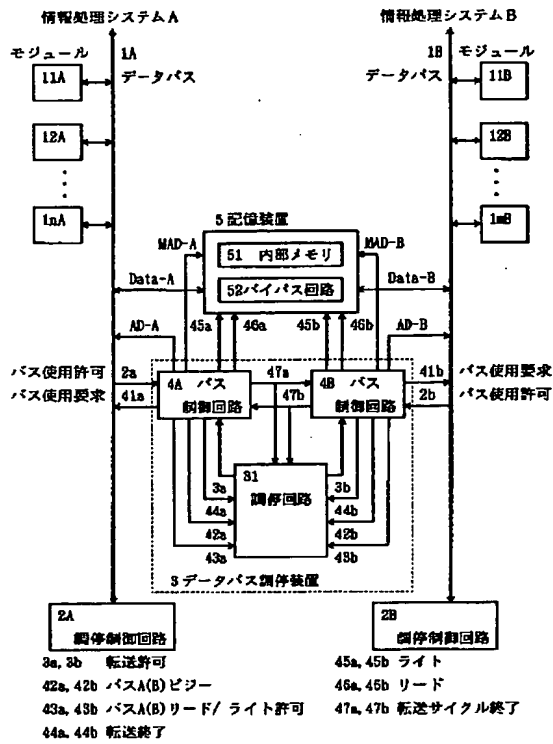
【図6】従来技術によるデータ転送方法を説明する概念図およびタイムチャート

【図7】従来技術によるデータ転送方法を説明する概念図およびタイムチャート

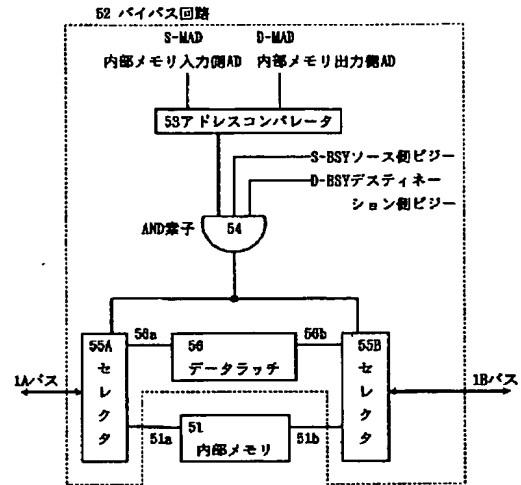
#### 【符号の説明】

1A,1B	データバス
11A~1nA, 11B~1mB	モジュール
2A,2B	調停制御回路
3, 6	データバス調停装置
31,61	調停回路
4A,4B	バス制御回路
5	記憶装置
51	内部メモリ
52	バイパス回路
53	アドレスコンパレータ
54	アンド素子
55A,55B	セレクト
56	データラッチ
A, B	情報処理システム
2a,2b	バス使用許可信号
3a,3b	転送許可信号
41a,41b	バス使用要求信号
42a,42b	バスビジー信号
43a,43b	バスリード/ライト許可信号
44a,44b	転送終了信号
45a,45b	ライト信号
46a,46b	リード信号
47a,47b	転送サイクル終了信号
CLK	クロック
D-MAD	内部メモリ出力側アドレス
D-BSY	デスティネーション側ビジー信号
D-BR	デスティネーションバス使用要求
D-BG	デスティネーションバス使用許可
D-TCYE	デスティネーション転送サイクル終了
D-TE	デスティネーション転送終了
D-TG	デスティネーション転送許可
S-MAD	内部メモリ入力側アドレス
S-BSY	ソース側ビジー信号
S-BR	ソースバス使用要求
S-BG	ソースバス使用許可
S-TCYE	ソース転送サイクル終了
S-TE	ソース転送終了
S-TG	ソース転送許可

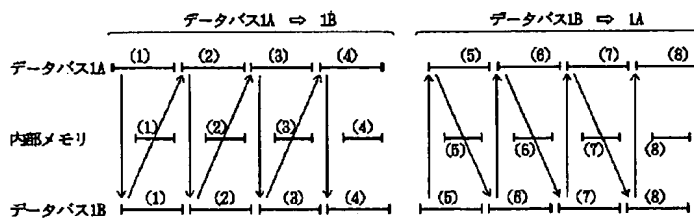
【図1】



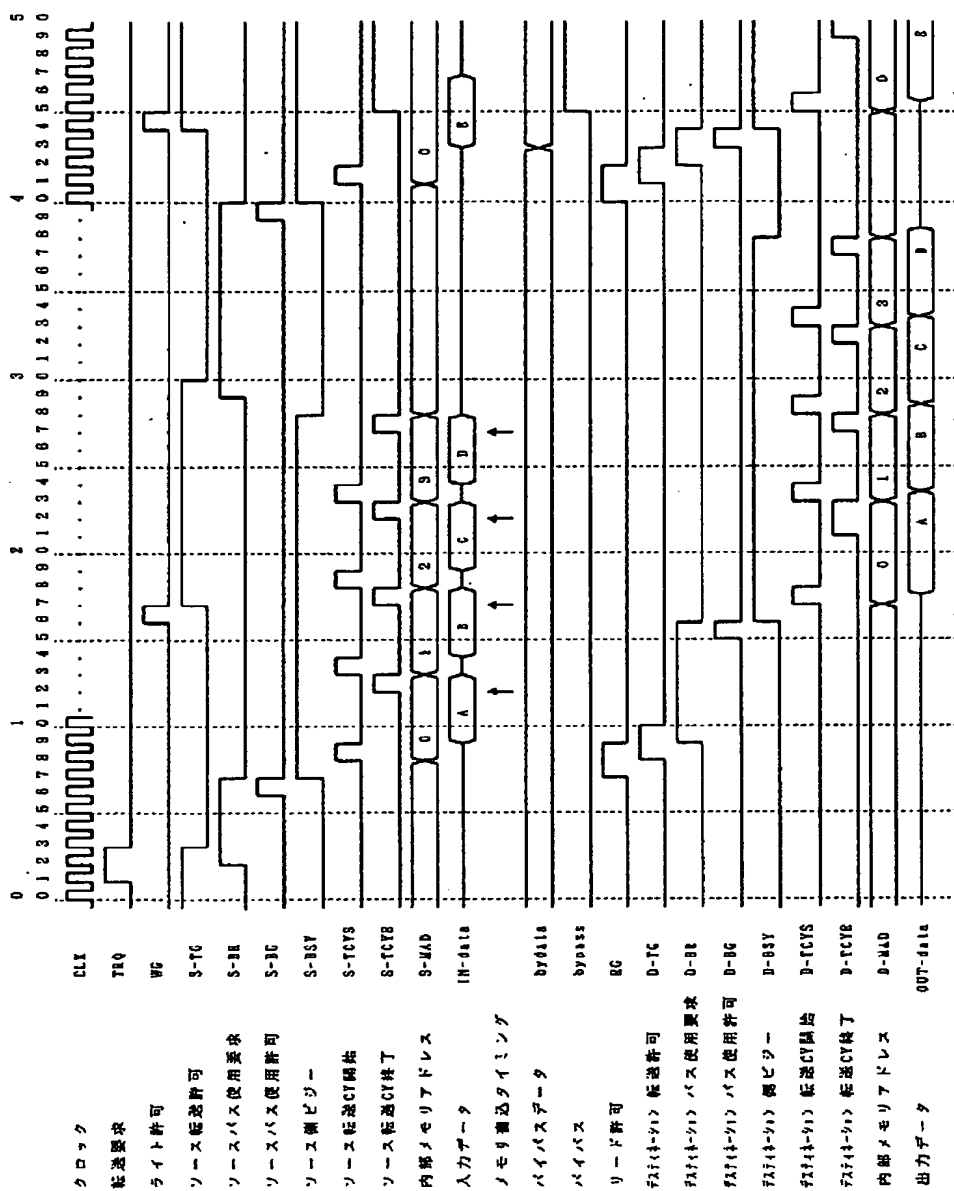
【図4】



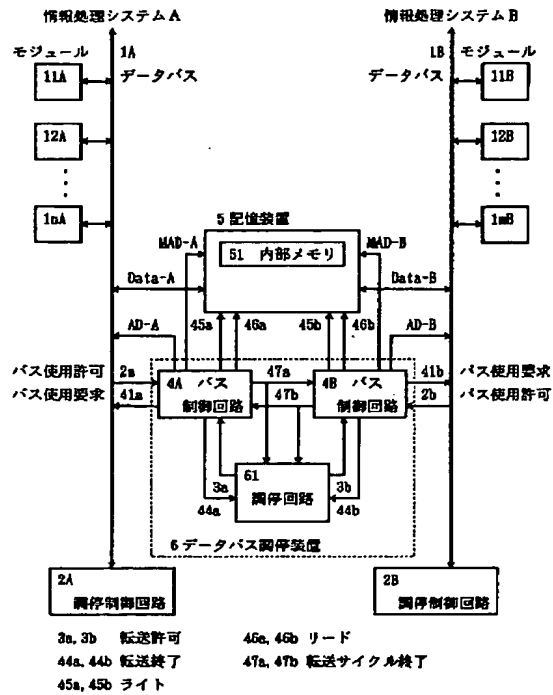
【図2】



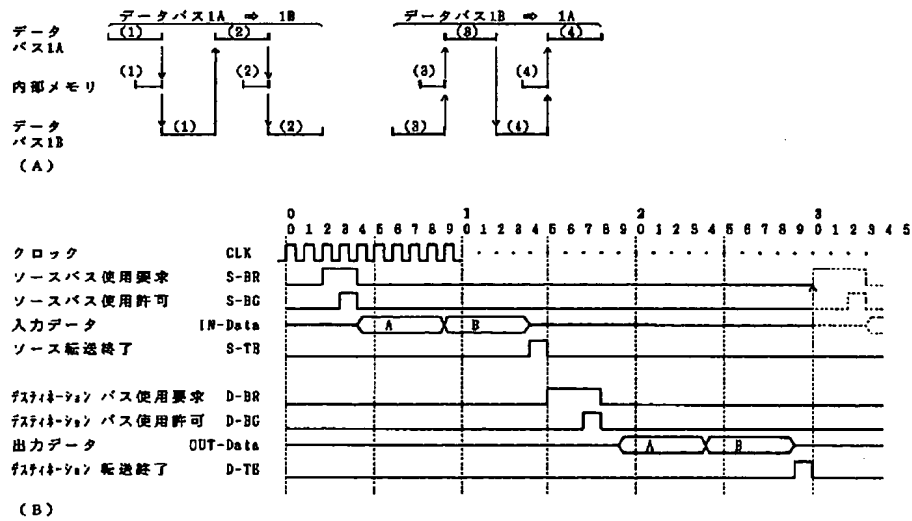
【図3】



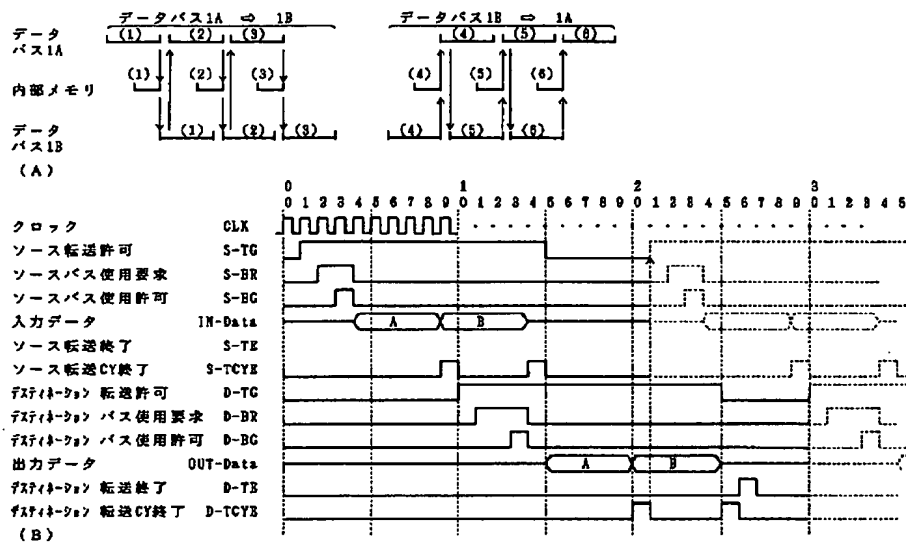
【図5】



【図6】



【図7】



フロントページの続き

(72)発明者 星野 公  
東京都日野市富士町1番地 富士ファコム  
制御株式会社内

**This Page Blank (usp10)**